**МИНОБРНАУКИ РОССИИ**

**Санкт-Петербургский государственный**

**электротехнический университет**

**«ЛЭТИ» им. В.И. Ульянова (Ленина)**

**Кафедра ВТ**

Курсовая РАБОТА

**по дисциплине «Элементная база цифровых систем»**

Тема: **Формирователь импульсной последовательности с линейно изменяющимися интервалами между импульсами**

|  |  |  |
| --- | --- | --- |
| Студентка гр. 2308 |  |  |
| Преподаватель |  | Буренёва О.И. |

Санкт-Петербург

2025

**СОДЕРЖАНИЕ**

[1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА 3](#_Toc199709669)

[2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА 4](#_Toc199709670)

[2.1 Схема на основе двоичного счётчика и дешифратора 4](#_Toc199709671)

[2.2 Схема на основе двоичного счётчика и комбинационной схемы 5](#_Toc199709672)

[2.3 Структурная схема реализации узла 5](#_Toc199709673)

[3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА 6](#_Toc199709674)

[4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА 8](#_Toc199709675)

[4.1 Синтез и моделирование узла на основе сочетания счетчика и дешифратора 8](#_Toc199709676)

[4.2 Синтез и моделирование узла на основе счётчика и комбинационной схемы 10](#_Toc199709677)

[4.3 Выбор лучшего варианта исполнения узла 14](#_Toc199709678)

[5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ 15](#_Toc199709679)

[6. ПОДРОБНОЕ ОПИСАНИЕ РАБОТЫ УСТРОЙСТВА 17](#_Toc199709680)

[7. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ 19](#_Toc199709681)

[7.1 Выбор варианта реализации генератора 19](#_Toc199709682)

[7.2 Инженерный расчет элементов генератора для получения необходимой частоты 19](#_Toc199709683)

[ЗАКЛЮЧЕНИЕ 21](#_Toc199709684)

[СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ 22](#_Toc199709685)

# **1. ЗАДАНИЕ НА ПРОЕКТИРОВАНИЕ УЗЛА**

Вариант 2.1:

Разработать узел, формирующий заданную последовательность импульсов. Входные сигналы частоты поступают от генератора ГТИ (генератор разрабатывается). Выходная последовательность периодична с периодом (Рисунок 1). Узел рассматривается как внешнее устройство процессорной системы. Сигналы пуска и останова поступают из управляющего устройства (процессора), количество периодов работы от пуска до останова фиксируется счетчиком (их максимальное число 100). Критерий выбора наилучшего варианта – минимум аппаратных затрат.

Подробности приведены в Таблице 1.

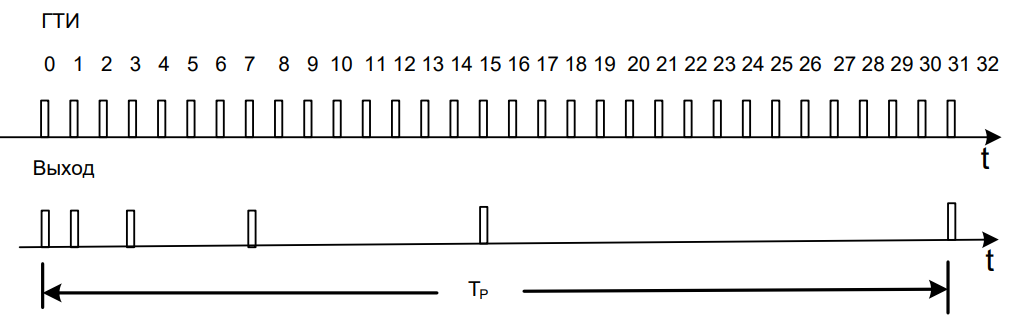


Рисунок 1 – Прмер ГТИ и выходного сигнала

Таблица 1 – вариант задания

|  |  |  |  |
| --- | --- | --- | --- |
|  | Номера импульсов, проходящих на выходы распределителя | Начальный адрес |  |
| 30 | 0, 1, 3, 7, 15, 23, 27, 29, 30 | 30h | 4 |

# **2. ОПИСАНИЕ ВАРИАНТОВ РЕАЛИЗАЦИИ УЗЛА**

Управляющее устройство (далее УУ) формирует сигнал доступа *Enable* с помощью сигналов *Start* и *Stop*, а также отвечает за установку схемы на режим чтения и записи.

Каждая из реализаций узла содержит селектор адреса, который получает на вход восьмибитную шину адреса *AD*. С помощью триггера блок запоминает текущий адрес и отправляет его на обработчик выходного сигнала.

Получение результата осуществляется из выходов формирователя последовательности при корректно установленном адресе в случае режима работы на считывание.

Для автоматической остановки работы устройства при достижении 100 периодов формирователя разработан специальный счётчик, который посылает сигнал остановки на УУ.

Тактируемый сигнал *Clock* получает импульсы от генератора (ГТИ).

# **2.1 Схема на основе двоичного счётчика и дешифратора**

Сигнал *Clock* подается на вход 5-разрядного двоичного счётчика. Выходные сигналы этого счётчика направляются на вход дешифратора. В зависимости от значения на входе, дешифратор выдает определённый сигнал («1» или «0»), что позволяет определить номер импульса в текущем периоде. Выходной сигал собирается с помощью элементов ИЛИ. Счётчик осуществляет подсчет от 0 до 30 включительно, после чего происходит сброс и начинается новый период. 30-й выход дешифратора контролирует период работы формирователя.

Элемент 3И предназначен для проверки корректности работы схемы и настройки скважности.

# **2.2 Схема на основе двоичного счётчика и комбинационной схемы**

Данный способ формирования выходной последовательности импульсов заключается в том, чтобы выходы пятиразрядного счетчика подавать на комбинационную схему, которая с помощью логических операций собирает результирующую последовательность наиболее оптимальным способом.

# **2.3 Структурная схема реализации узла**

Блок-схема управления процессом и формирования результирующего сигнала приведена на Рисунке 2.

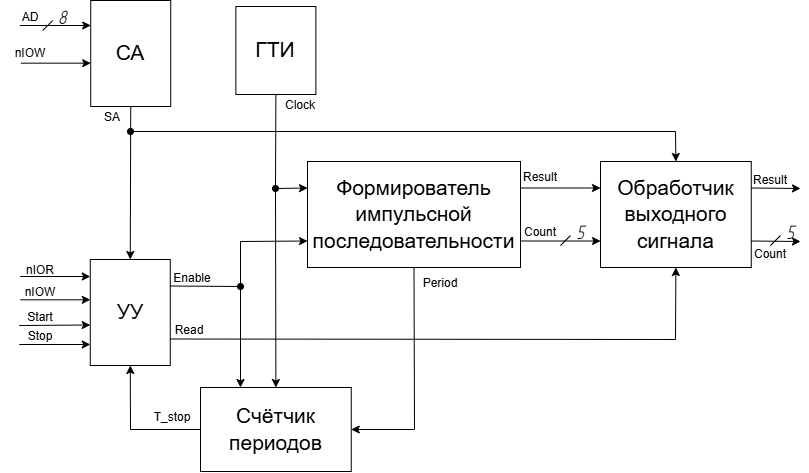


Рисунок 2 – Структурная схема (Э1) узла

# **3. ОПИСАНИЕ ОСНОВНЫХ ЭЛЕМЕНТОВ БИБЛИОТЕКИ САПР QUARTUS II, НЕОБХОДИМЫХ ДЛЯ РЕАЛИЗАЦИИ УЗЛА**

Для реализации различных вариантов узла в САПР QUARTUS II, помимо логических примитивов, не требующих дополнительного описания, использовались элементы из библиотеки, которые будут подробно рассмотрены ниже.

На Рисунке 3 представлен двоичный счётчик. В Quartus предлагаются различные конфигурации, однако в данной работе используется только 5-разрядный суммирующий счётчик с синхронизацией по переднему фронту и синхронным и асинхронным сбросом.

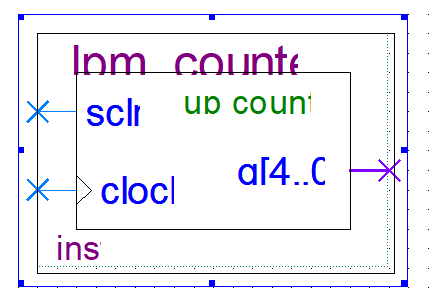


Рисунок 3 - Мегафункция lpm\_counter

На Рисунке 4 представлен дешифратор. LPM\_DECODE – параметризированный модуль дешифратор из библиотеки мегафункций, который предназначен для преобразования входного двоичного кода в сигнал на одном из выходов. В Quartus предлагаются различные варианты конфигурации, но в данной работе используется исключительно вариант с 9 входами.

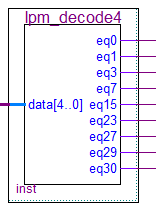


Рисунок 4 - Мегафункция LPM\_DECODE

На Рисунке 5 а) представлен D-триггер DFF. Он предназначен для хранения состояний выбранного адреса, а также отвечает за режим чтения схемы.

На Рисунке 5 б) представлен RS-триггер примитив SRFF. С помощью сигналов *Start*, *Stop* он формирует сигнал разрешения работы схемы *Enable*.

|  |  |
| --- | --- |
|  |  |
| а) – D-триггер DFF | б) – RS-триггер SRFF |

Рисунок 5 – Триггеры

# **4. ОПИСАНИЕ ПРОЦЕССА СИНТЕЗА И МОДЕЛИРОВАНИЯ РАБОТЫ УЗЛА**

Необходимым блоком для итоговой реализации узла является счетчик на 100 периодов для автоматической остановки работы схемы. Использован счетчик на 7 выходов и дешифратор с 1 выходом, на вход схемы подаются тактовый сигнал, сигнал доступа и периода на элемент И для синхронизации. Выход схемы является нуль-активным для дальнейшей интеграции в интерфейс сопряжения. На Рисунке 6 приведена соответствующая схема, реализованная в САПР Quartus II.

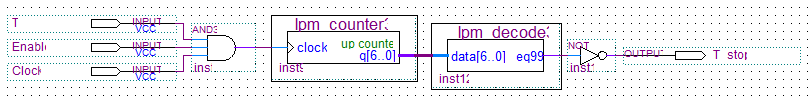


Рисунок 6 – Счетчик до 100 периодов

# **4.1 Синтез и моделирование узла на основе сочетания счетчика и дешифратора**

С учетом примитивов, изложенных в разделе 3, узел был реализован в среде разработки QUARTUS II. Подробное описание работы этого узла представлено в разделе 2.1. Спроектированная схема формирователя импульсной последовательности с линейно-изменяющимися интервалами между импульсами для данной реализации приведена на Рисунке 7.

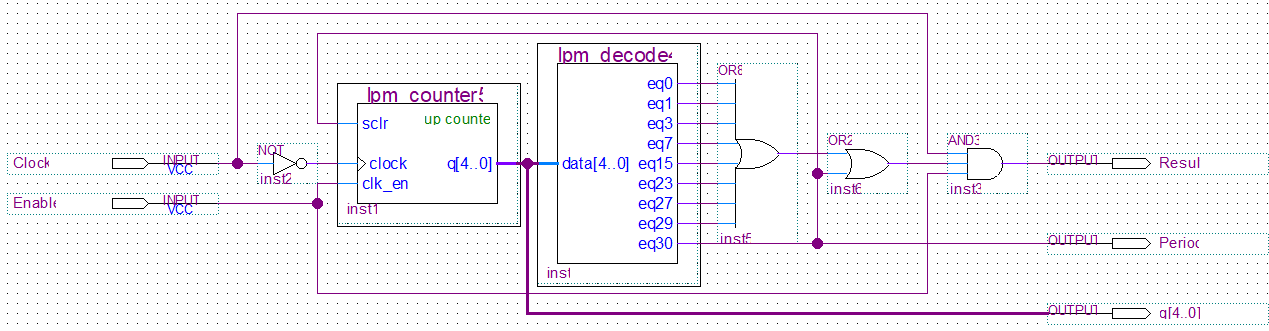


Рисунок 7 – Схема на основе двоичного счётчика с дешифратором

Результаты компиляции схемы можно увидеть на Рисунке 8.

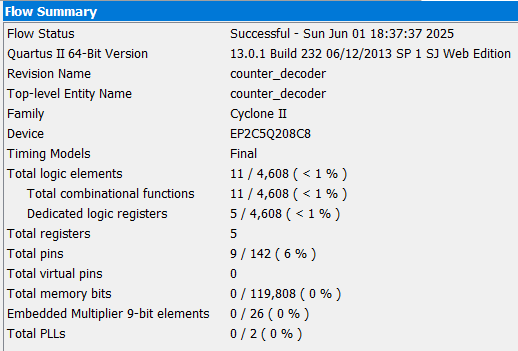


Рисунок 8 – Результаты компиляции схемы

Было проведено функциональное и временное моделирование работы схемы, результаты которого представлены на Рисунках 9-10. Функциональное моделирование показывает, что схема работает корректно.

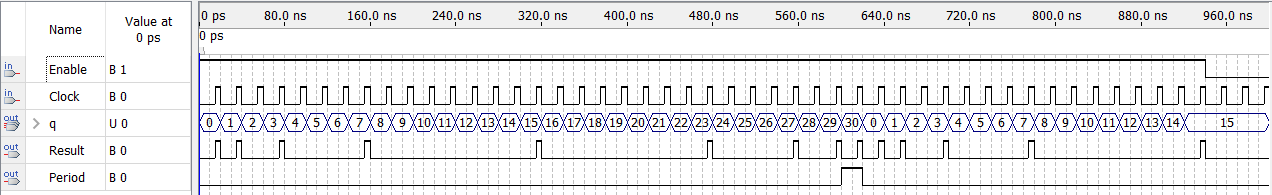


Рисунок 9 - Функциональное моделирование

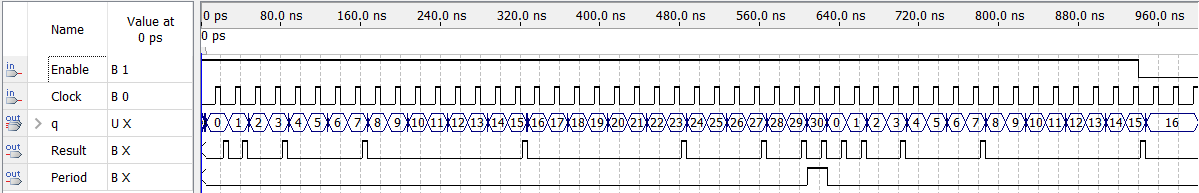


Рисунок 10 - Временное моделирование

# **4.2 Синтез и моделирование узла на основе счётчика и комбинационной схемы**

Для синтеза комбинационной схемы формирования необходимой последовательности импульсов составлена таблица истинности функции от пяти переменных в соответствии с вариантом задания – Таблица 2.

Таблица 2 – таблица истинности

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | X4 | X3 | X2 | X1 | X0 |  | F |
| 0 | 0 | 0 | 0 | 0 | 0 |  | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 |  | 1 |
| 2 | 0 | 0 | 0 | 1 | 0 |  | 0 |
| 3 | 0 | 0 | 0 | 1 | 1 |  | 1 |
| 4 | 0 | 0 | 1 | 0 | 0 |  | 0 |
| 5 | 0 | 0 | 1 | 0 | 1 |  | 1 |
| 6 | 0 | 0 | 1 | 1 | 0 |  | 0 |
| 7 | 0 | 0 | 1 | 1 | 1 |  | 1 |
| 8 | 0 | 1 | 0 | 0 | 0 |  | 0 |
| 9 | 0 | 1 | 0 | 0 | 1 |  | 0 |
| 10 | 0 | 1 | 0 | 1 | 0 |  | 0 |
| 11 | 0 | 1 | 0 | 1 | 1 |  | 0 |
| 12 | 0 | 1 | 1 | 0 | 0 |  | 0 |
| 13 | 0 | 1 | 1 | 0 | 1 |  | 0 |
| 14 | 0 | 1 | 1 | 1 | 0 |  | 0 |
| 15 | 0 | 1 | 1 | 1 | 1 |  | 1 |
| 16 | 1 | 0 | 0 | 0 | 0 |  | 0 |
| 17 | 1 | 0 | 0 | 0 | 1 |  | 0 |
| 18 | 1 | 0 | 0 | 1 | 0 |  | 0 |
| 19 | 1 | 0 | 0 | 1 | 1 |  | 0 |

Продолжение Таблицы 2

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 20 | 1 | 0 | 1 | 0 | 0 |  | 0 |
| 21 | 1 | 0 | 1 | 0 | 1 |  | 0 |
| 22 | 1 | 0 | 1 | 1 | 0 |  | 0 |
| 23 | 1 | 0 | 1 | 1 | 1 |  | 1 |
| 24 | 1 | 1 | 0 | 0 | 0 |  | 0 |
| 25 | 1 | 1 | 0 | 0 | 1 |  | 0 |
| 26 | 1 | 1 | 0 | 1 | 0 |  | 0 |
| 27 | 1 | 1 | 0 | 1 | 1 |  | 1 |
| 28 | 1 | 1 | 1 | 0 | 0 |  | 0 |
| 29 | 1 | 1 | 1 | 0 | 1 |  | 1 |
| 30 | 1 | 1 | 1 | 1 | 0 |  | 1 |

Составлена карта Карно для упрощения логической схемы (Рисунок 11). Комбинации 11111 не существует, так как счетчик работает только до 30.

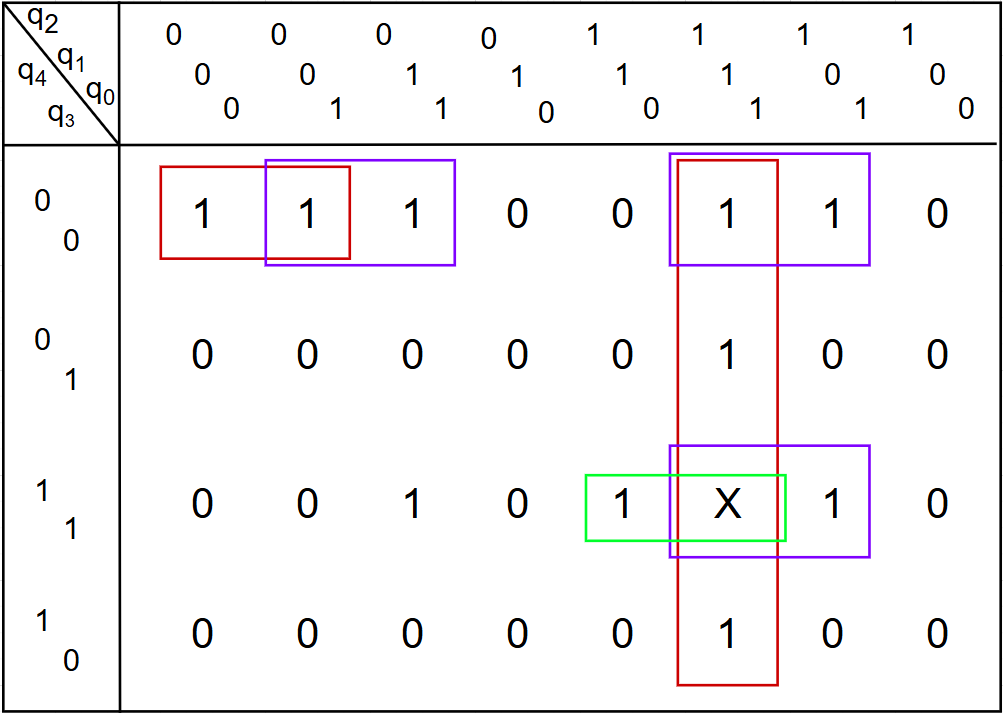


Рисунок 11 – Карта Карно

По карте Карно была составлена ДНФ функции выхода:

По функции видно, что есть повторяющиеся связки, которые можно вынести отдельно для уменьшения аппаратных затрат:

* – 3 раза;
* – 3 раза;
* – 3 раза;
* – 2 раза.

С учетом примитивов, изложенных в разделе 3, узел был реализован в среде САПР QUARTUS II. Описание работы этого узла представлено в разделе 2.2. Спроектированная схема формирователя на основе комбинационной схемы приведена на Рисунке 12.

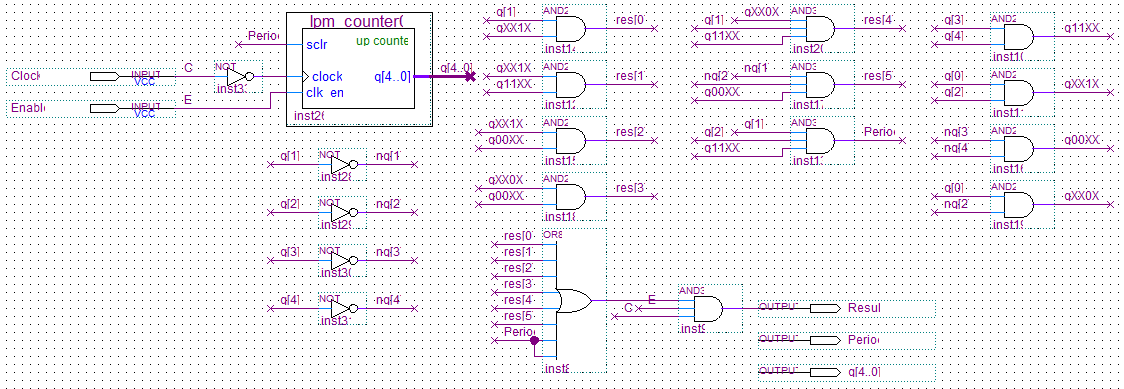


Рисунок 12 – Схема на основе двоичного счётчика и комбинационной схемы

Результаты компиляции схемы можно увидеть на Рисунке 13.

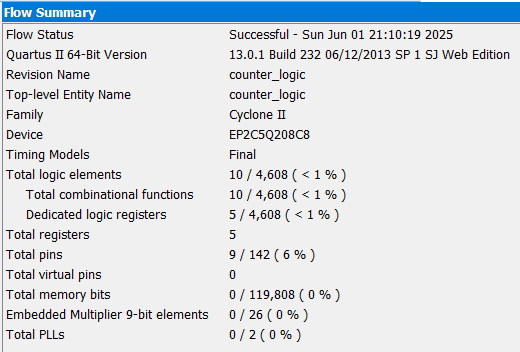


Рисунок 13 – Результаты компиляции схемы

Было проведено функциональное и временное моделирование работы схемы, результаты которого представлены на Рисунках 14-15. Функциональное моделирование показывает, что схема работает корректно.

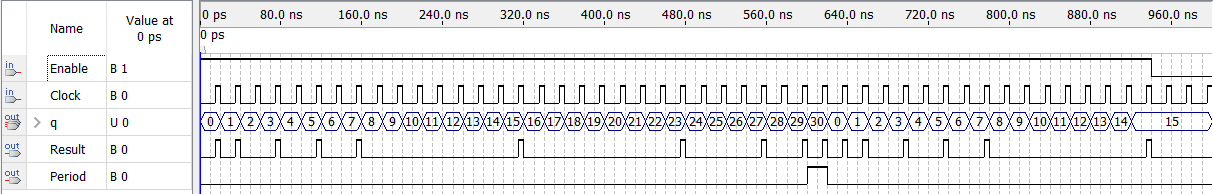


Рисунок 14 - Функциональное моделирование

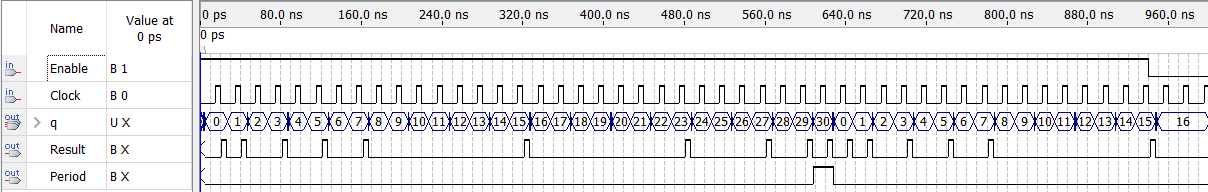


Рисунок 15 - Временное моделирование

# **4.3 Выбор лучшего варианта исполнения узла**

Для каждого варианта реализации были собраны основные параметры их схем и способы получения итогового результата. Критерием выбора служит минимум аппаратных затрат. Данные представлены в Таблице 3.

*Таблица 3 – Сравнение реализаций узла*

|  |  |  |  |
| --- | --- | --- | --- |
|  | Параметры схемы | Вариант реализации | |
| Счетчик + дешифратор | Счетчик + комбинационная схема |
| 1 | Аппаратные затраты (кол-во логических элементов) | 11 | 10 |
| 2 | Задержка (нс) | 7.08 | 6.54 |

По полученным данным из результатов компиляции проектов можно сделать вывод о том, что схема с применением логической сборки и упрощений по картам Карно лучше не только по аппаратным затратам, но и имеет меньшую задержку выхода, которая считается между передними фронтами тактового сигнала и результирующего.

# **5. РАЗРАБОТКА ИНТЕРФЕЙСА СОПРЯЖЕНИЯ СХЕМЫ УЗЛА С ПРОЦЕССОРНОЙ СИСТЕМОЙ**

Разрабатываемое устройство взаимодействует с процессорной системой с помощью стандартной шины Microbus. Для работы схемы используются следующие сигналы: – считывание данных с вычислительного узла; – запись данных в ВУ, *Clock* – тактируемый сигнал генератора. Сигналы начала работы и остановки *Start* и *Stop*.

Схема селектора адреса, спроектированного в соответствии c описанием работы узла из раздела 2 данной работы, приведена на Рисунке 16. Работа схемы осуществляется при адресе 0x30 (0011 0000).

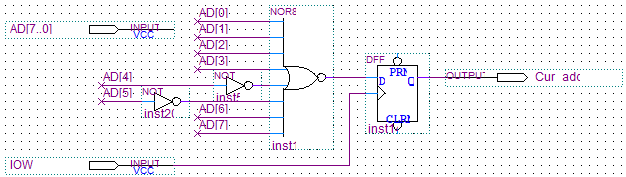


Рисунок 16 – Схема селектора адреса

Схема обработчика выходного сигнала приведена на Рисунке 17. Описание работы узла представлено в разделе 2.

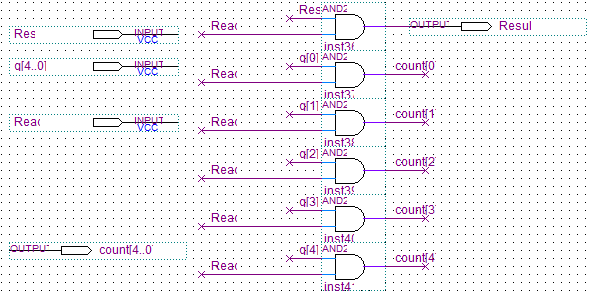


Рисунок 17 – Схема контроля выходных сигналов

Для итоговой схемы интерфейса дополнительно введены два триггера на сохранение состояний чтения (DFF) и разрешения работы (SRFF). Основные блоки соединены в соответствии со структурной схемой Рисунок 2. Результат проектирования интерфейса сопряжения с процессорной системой представлено на Рисунке 18.

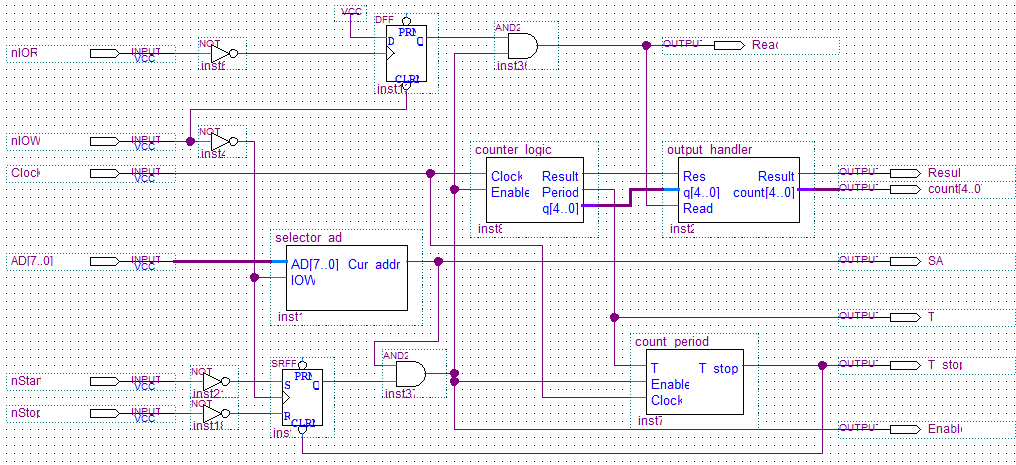


Рисунок 18 – Схема интерфейса сопряжения с процессорной системой и узла

Результат компиляции схемы показан на Рисунке 19.

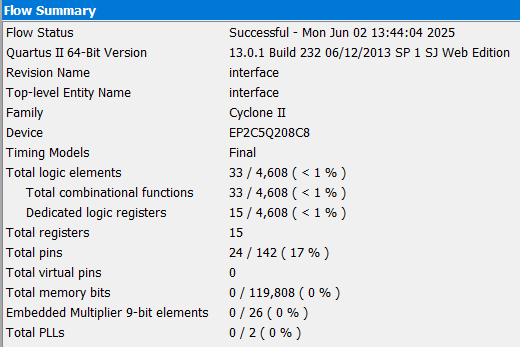


Рисунок 19 – Результат компиляции

6. ПОДРОБНОЕ ОПИСАНИЕ РАБОТЫ УСТРОЙСТВА

Хранение последней полученной команды осуществляется с помощью RS-триггера, где на вход R через инвертор подается сигнал *Stop*, на вход S – *Start*. Импульсы, поступающие для распределения, обрабатываются узлом только в том случае, если выход триггера равен 1.

Хранение сигналов о состоянии чтения и записанного адреса осуществляется с помощью D-триггера. Схема переходит в режим чтения, когда на синхровход триггера подается сигнал *IOR*, на вход D подается VCC. В случае селектора адреса: на D – сигнал корректности выбранного адреса, на синхровход – *IOW*.

Было выполнено функциональное моделирование работы схемы, результат которого представлен на Рисунках 20. На Рисунке 21 дополнительно приведен пример автоматического завершения работы схемы.

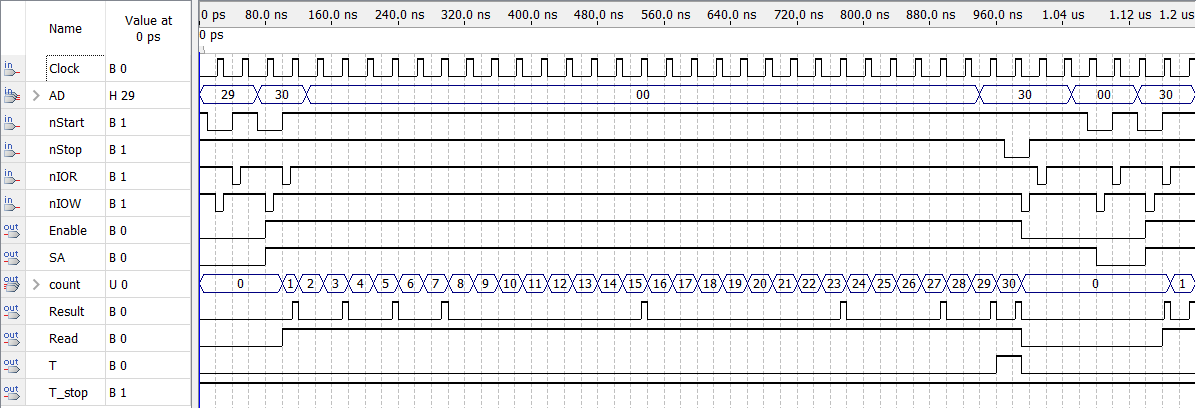


Рисунок 20 – Результаты функционального моделирования

Функциональное моделирование демонстрирует работу устройства и подтверждает соответствие его поведению ожидаемым результатам. Наблюдается, что при нуль активном сигнале *nIOW* формируются сигналы *Enable*, который зависит от *nStart*, и *SA*, который свидетельствует о корректно записанном адресе. Далее схема переходит в режим чтения после подачи сигнала *nIOR*. С этого момента происходит вывод установленной последовательности сигналов. При достижении 30, выводится сигнал T, который сообщает о завершении текущей передаваемой последовательности.

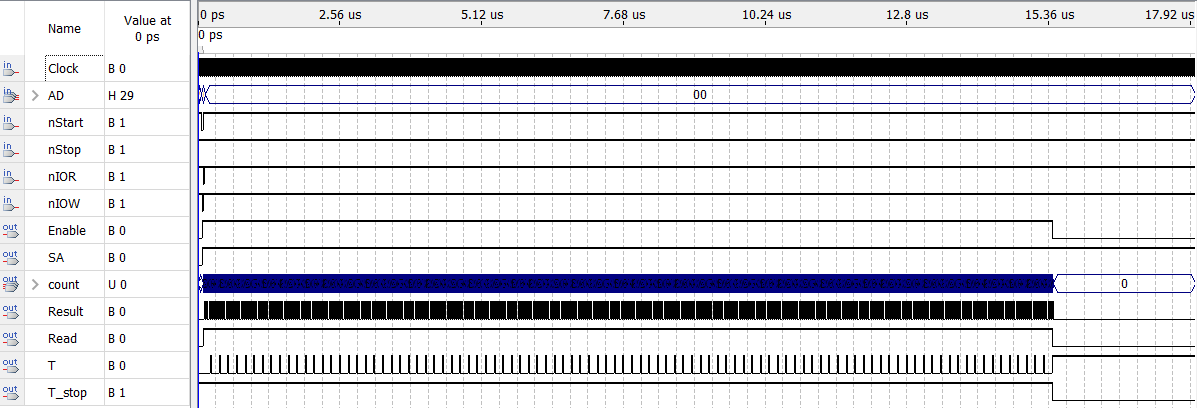


Рисунок 21 – Результаты функционального моделирования с автоматической остановкой работы схемы

На Рисунке 22 приведен результат временного моделирования.

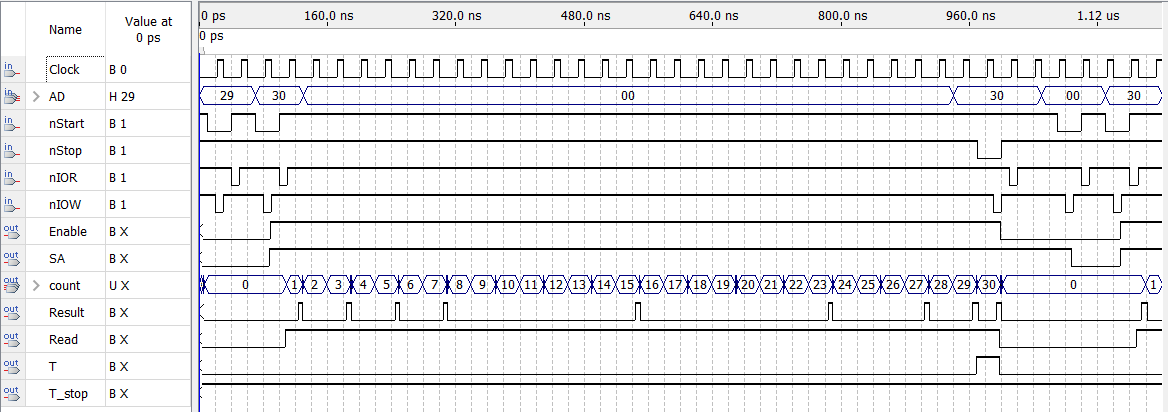


Рисунок 22 – Результаты временного моделирования

# **7. РАЗРАБОТКА ГЕНЕРАТОРА ТАКТОВЫХ ИМПУЛЬСОВ**

# **7.1 Выбор варианта реализации генератора**

Генератор будет выполнен на основе RC-цепочки с использованием транзисторно-транзисторной логики (ТТЛ). Для стандартных ТТЛ-элементов, ввиду значительных входных токов, сопротивление резисторов должно быть небольшим. Будут рассмотрены значения в пределах 200…400 Ом.

ГТИ будет выполнен по схеме, представленной на Рисунке 23, чтобы получить сигнал необходимой скважности. Инверторы выполняют роль формирователей, улучшающих выходную форму колебания, приближая ее к прямоугольной. Длительности импульса и паузы равны соответственно:

|  |  |
| --- | --- |
|  |  |

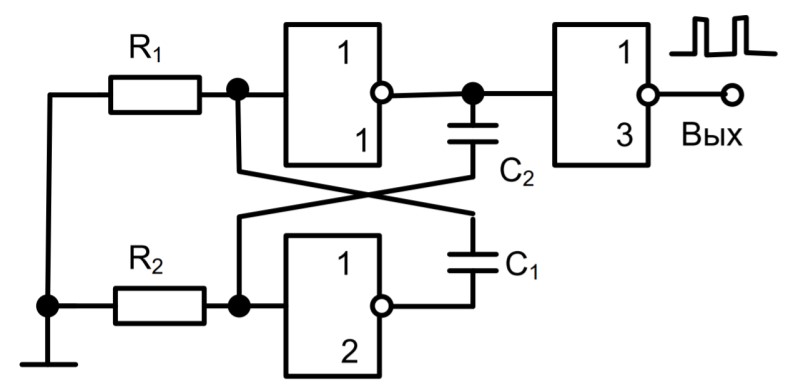


Рисунок 23 – Схема генератора тактовых импульсов

# **7.2 Инженерный расчет элементов генератора для получения необходимой частоты**

Временное моделирование позволило установить, что максимальная частота, при которой узел работает корректна равна:

Для вычисления необходимых значений резисторов и конденсаторов для скважности 8 составлены следующие отношения:

|  |  |
| --- | --- |
|  |  |

Значения для резисторов и конденсатора будут взяты из ряда E24 номиналов. В Таблице 4 приведен сравнительный анализ допустимых значений и .

*Таблица 4 – сравнительный анализ номиналов элементов*

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| № | ,Ом | ,пФ | , нс | ,Ом | ,пФ | , нс | нс |
| 1 | 200 | 47 | 7,52 | 200 | 110 | 22 | 29,52 |
| 2 | 220 | 43 | 7,568 | 220 | 100 | 22 | 29,568 |
| 3 | 240 | 39 | 7,488 | 240 | 91 | 21,84 | 29,328 |
| 4 | 270 | 36 | 7,776 | 270 | 88 | 23,76 | 31,536 |
| 5 | 300 | 33 | 7,92 | 300 | 75 | 22,5 | 30,42 |
| 6 | 330 | 30 | 7,92 | 330 | 68 | 22,44 | 30,36 |
| 7 | 360 | 27 | 7,776 | 360 | 62 | 22,32 | 30,096 |
| 8 | 390 | 24 | 7,488 | 390 | 56 | 21,84 | 29,328 |

По расчету можно сказать, что наилучший вариант значений резисторов и конденсаторов для реализации данного генератора с получением необходимой скважности сигнала является 7. Он имеет самое близкое значение к теоретическому периоду. Для итоговой схемы генератора будет использована пара (Ом), (пФ) и (пФ).

# **ЗАКЛЮЧЕНИЕ**

В ходе выполнения курсовой работы был разработан формирователь импульсной последовательности с линейно изменяющимися интервалами между импульсами. Рассматривались несколько вариантов его реализации: на основе счётчика и дешифратора, а также на основе счётчика и комбинационной схемы. В результате был выбран наиболее оптимальный вариант.

Выбранная реализация была дополнена интерфейсом для интеграции с процессорной системой. Также был подобран подходящий генератор тактовых импульсов. Устройство было синтезировано в среде разработки QUARTUS II, после чего проведено временное моделирование для подтверждения корректности его функционирования

# **СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ**

1. Проектирование цифровых узлов: Методические указания к курсовому проектированию / сост.: Р.И. Грушвицкий, Е.П. Угрюмов. СПб.: Изд-во СПбГЭТУ «ЛЭТИ», 2011. 00 с.
2. Интерфейсные БИС микропроцессорных комплектов: учеб. пособие / Артамонов А.Б., Смирнов А.М. / ЛЭТИ. — Л.,1990.
3. Системы автоматизированного проектирования фирмы Altera MAX + plusII и QuartusII. Краткое описание и самоучитель / Комолов Д. А., Мяльк Р. А., Зобенко А. А., Филиппов А. С. М.: ИП РадиоСофт, 2002– 352с.
4. Угрюмов Е.П. Цифровая схемотехника: учеб. пособие для вузов. – БХВ-Петербург, 1-е изд. 2000 г., 2-е изд. 2006 г., 3-е изд. 2010 г. – 797 c.
5. Перечень доступных микросхем // ЧИП и ДИП – интернет-магазин приборов и электронных компонентов. URL: <https://www.chipdip.ru/catalog/ic-chip> (дата обращения 01.06.2025).
6. Ряд E24 номиналов конденсаторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/capacitorseries/e24.html> (дата обращения 01.06.2025).
7. Ряд E24 номиналов резисторов // RadioLibrary – справочник радиолюбителя. URL: <https://www.radiolibrary.ru/reference/resistorseries/e24.html> (дата обращения 01.06.2025).
8. ГОСТ 2.743-91. Единая система конструкторской документации. Обозначения условные графические в электрических схемах. – М.: ИПК Издательство стандартов, 1992.